

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-054342

(43)Date of publication of application : 25.02.1997

(51)Int.Cl.

G02F 1/136  
 G02F 1/1343  
 H01L 27/12  
 H01L 29/786  
 H01L 21/336

(21)Application number : 07-227091

(71)Applicant : NEC CORP

(22)Date of filing : 11.08.1995

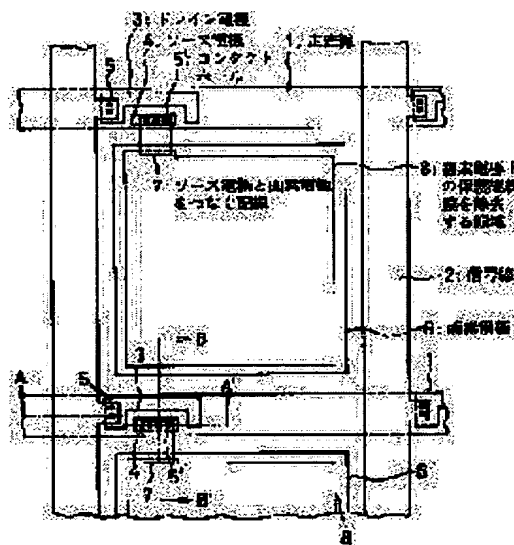
(72)Inventor : NISHIDA SHINICHI

## (54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY PANEL AND ITS PRODUCTION

## (57)Abstract:

PROBLEM TO BE SOLVED: To obtain an active matrix liquid crystal panel consisting of a TFT array of a structure which may be produced by using backward staggered TFTs having the characteristics better than the characteristics of forward staggered TFTs and using only the stable process with a smaller number of exposure times.

SOLUTION: Scanning lines 1, gate insulating films 10 and amorphous silicon films 11 consisting of the same patterns are formed in this order on a glass substrate 9. Drain electrodes 3 and source electrodes 4 formed of the same layer as the layer of transparent pixel electrodes 6 are disposed partly on these patterns and further, protective insulating films 12 are disposed thereon. Signal lines 2 and drain electrodes 3 disposed on the protective insulating films are connected through contact holes 5 arranged on the source and drain electrodes. The source electrodes and the pixel electrodes are connected by wirings 7.



## LEGAL STATUS

[Date of request for examination]

11.08.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2780681

[Date of registration]

15.05.1998

[Number of appeal against examiner's decision of rejection]

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-54342

(43) 公開日 平成9年(1997)2月26日

(51) Int. Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/138 1/1343	5 0 0		G 0 2 F 1/138 1/1343	5 0 0
H 0 1 L 27/12 29/786 21/336			H 0 1 L 27/12 29/78	A 6 1 2 D

審査請求 有 請求項の数 11 F D (全 12 頁)

(21) 出願番号 特願平7-227091

(22) 出願日 平成7年(1995)8月11日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 西田 真一

東京都港区芝五丁目7番1号 日本電気株式会社内

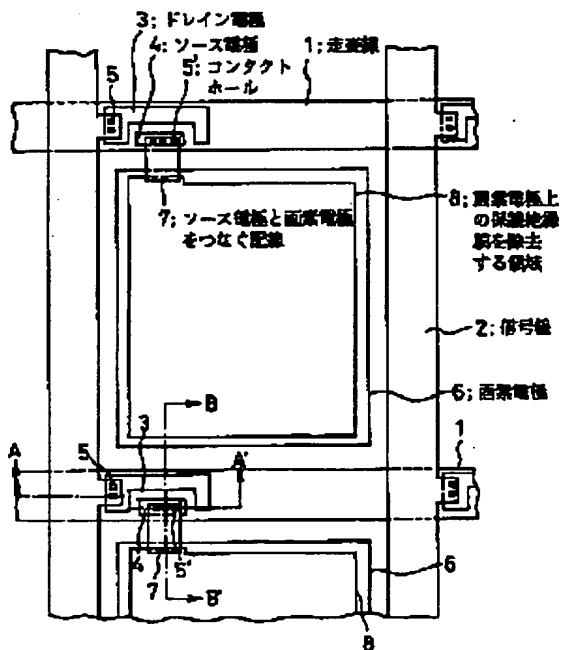
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 アクティブマトリクス液晶表示パネル及びその製造方法

(57) 【要約】

【課題】 順スタガード型TFTに比べて特性的に優れた逆スタガード型TFTを用いて、より少ない露光回数で安定なプロセスのみを用いて作製できる構造のTFTアレイからなるアクティブマトリクス液晶パネルを与える。

【解決手段】 ガラス基板9上に、同一パタンからなる走査線1、ゲート絶縁膜10、非晶質シリコン膜11をこの順に配し、このパタン上に一部に透明画素電極6と同一の層で形成したドレイン電極3とソース電極4とを配し、さらにこの上に保護絶縁膜12を配し、ソース・ドレイン電極上に配したコンタクトホール5を通して、保護絶縁膜上に配する信号線2とドレイン電極3を接続し、ソース電極と画素電極とを配線7で接続する。



【特許請求の範囲】

【請求項1】格子状に配置され互いに交差してなる平行な複数の走査線及び平行な複数の信号線を備え、前記走査線と前記信号線の各交点の近傍に設けられると共に前記走査線と同一層に形成され、前記信号線に接続されたゲート電極と、前記ゲート電極上にゲート絶縁膜を介して設けられた薄膜半導体層と、前記薄膜半導体層上に設けられ前記信号線と電気的に接続する第1の電極および画素電極と接続する第2の電極（但し、第1の電極がソース（ドレイン）電極の時、第2の電極はドレイン（ソース）電極）と、からなる薄膜トランジスタが形成されてなる第1の透明絶縁性基板と、透明電極を有する第2の透明絶縁性基板と、を液晶層を介して貼り合わせてなる液晶表示パネルにおいて、周辺端子接続部を除いて前記走査線と前記ゲート電極とからなるパターンと同一のパターンで前記ゲート絶縁膜および前記薄膜半導体層がパターン化され、前記第1及び第2の電極が前記薄膜半導体層上の所定領域において前記画素電極と同一層により形成され、前記第1及び第2の電極と前記薄膜半導体層を覆うように保護絶縁膜が設けられると共に、前記保護絶縁膜上に前記信号線が配設され、前記信号線と前記第1の電極とは、前記第1の電極上の所定領域に形成されたコンタクトホールを介して接続され、前記信号線と同一層に形成された金属層により前記第2の電極と前記画素電極とが電気的に接続されていることを特徴とする液晶表示パネル。

【請求項2】格子状に配置され互いに交差してなる平行な複数の走査線及び平行な複数の信号線を備え、前記走査線と前記信号線の各交点の近傍に設けられると共に前記走査線と同一層に形成され、前記信号線に接続されたゲート電極と、前記ゲート電極上にゲート絶縁膜を介して設けられた薄膜半導体層と、前記薄膜半導体層上に設けられ前記信号線と電気的に接続する第1の電極、および画素電極と接続する第2の電極（但し、第1の電極がソース（ドレイン）電極の時、第2の電極はドレイン（ソース）電極）とからなる薄膜トランジスタが形成されてなる第1の透明絶縁性基板と、透明電極を有する第2の透明絶縁性基板と、を液晶層を介して貼り合わせてなる液晶表示パネルにおいて、周辺端子接続部を除いて前記走査線と前記ゲート電極とからなるパターンと同一のパターンで前記ゲート絶縁膜および薄膜半導体層がパターン化されており、前記第1及び第2の電極が前記薄膜半導体層上の所定領域において前記画素電極と同一層により形成され、

前記第1及び前記第2の電極と前記薄膜半導体層を覆うように保護絶縁膜が設けられると共に前記保護絶縁膜上に信号線が設けられ、前記信号線と前記第1の電極とが前記第1の電極上でコンタクトホールを介して接続されており、前記信号線と同一層で形成された金属層により前記第2の電極と前記画素電極とがコンタクトホールを介して接続されており、前記第1、第2の電極上に形成されたコンタクトホールが前記第1及び第2の電極よりもチャネル側に拡張されており、前記コンタクトホールの開口端面或下の前記薄膜半導体層にイオン注入により不純物がドーピングされた領域を有することを特徴とする液晶表示パネル。

【請求項3】前記走査線と同一層で形成され、前記走査線と隣隔され、かつ前記画素電極に電気的に接続されたパターンが、前記信号線と重なるようにして前記画素電極の両側に配置されていることを特徴とする請求項1又は2記載の液晶表示パネル。

【請求項4】前記信号線と同一層で形成され、前記信号線と隣隔され、かつ前記画素電極に電気的に接続されたパターンが、前記走査線と重なるようにして画素電極の両側に配置されていることを特徴とする請求項1又は2記載の液晶表示パネル。

【請求項5】前記信号線と同一層で形成されたパターンが、前記薄膜トランジスタのチャネル領域を覆うように配置されていることを特徴とする請求項1又は2記載の液晶表示パネル。

【請求項6】前記信号線と同一層で形成され、前記信号線と隣隔され、かつ画素電極に電気的に接続されたパターンが、前記画素電極に隣接する2つの走査線のうち該画素電極に電荷を供給する薄膜トランジスタを制御しないほうの走査線と重なるように配置され、かつ、この重なり領域の一部で該画素電極と同一層で孤立パターンが形成され、該孤立パターンと走査線の間にはゲート絶縁膜層をはさんで容量が構成されており、該孤立パターンが画素電極に電気的に接続されていることを特徴とする請求項1又は2記載の液晶表示パネル。

【請求項7】逆スタガー構造の薄膜トランジスタ（TF-T）アレイを含む液晶表示装置（LCD）の製造方法において、

(a)透明絶縁性基板上に走査線となる金属膜、ゲート絶縁膜、及び半導体膜をこの順に形成した後これらを同一パターンでパターニングし、

(b)画素電極、ソース電極及びドレイン電極を同一の層で形成してこれらを1回のフォトリソグラフィでパターニングし、

(c)前記画素電極、ソース電極及びドレイン電極を覆うように保護絶縁膜を形成し、

(d)前記保護絶縁膜に対して配設される所定のコンタク

トホールと、前記保護絶縁膜、前記半導体膜及び前記ゲート絶縁膜を開孔して露出される所定のコンタクトホールと、を1回のフォトリソグラフィで形成し、  
(e)金属膜を形成し、前記ドレイン電極に接続する信号線と、前記ソース電極と前記画素電極とを接続する配線と、を同一のパターンで形成する、  
上記各工程を含むことを特徴とする液晶表示装置の製造方法。

【請求項8】前記保護絶縁膜を開孔してなるコンタクトホールを介して前記信号線が前記ドレイン電極に、前記配線が前記ソース電極にそれぞれ電気的に接続され、前記保護絶縁膜、前記半導体膜及び前記ゲート絶縁膜を開孔してなるコンタクトホールを介して前記保護絶縁膜上に形成される周辺部の走査線端子が前記ゲート電極（走査線）に電気的に接続されることを特徴とする請求項7記載の液晶表示装置の製造方法。

【請求項9】前記工程(b)に続いて、前記ソース及びドレイン電極をマスクとして前記半導体層を所定深さ掘込み、前記ソース及びドレイン電極の直下のみコンタクト部となるn型半導体層を残すようにしたことを特徴とする請求項7記載の液晶表示装置の製造方法。

【請求項10】前記工程(d)に続いて、前記保護絶縁膜をイオン注入のマスクとして前記ドレイン及びソース電極下にコンタクト部となるn型半導体層を形成する特徴とする請求項7記載の液晶表示装置の製造方法。

【請求項11】前記ドレイン及びソース電極上に形成されたコンタクトホールがチャネル側に拡張され、前記コンタクトホールの開口端部或下にn型不純物をイオン注入により導入することを特徴とする請求項10記載の液晶表示装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は液晶表示パネルに関し、特に薄膜電界効果型トランジスタおよび電極をもつ透明絶縁性基板で液晶を挟んだ構造の液晶表示パネル及びその製造方法に関する。

##### 【0002】

【従来の技術】薄膜電界効果型トランジスタ（「TFT」という）を画素のスイッチング素子として用いてなるアクティブマトリクス液晶表示パネル（「AMLCD」ともいう）は高品位の画質を有し、携帯型コンピュータの表示デバイスや投射型表示デバイスのライトバルブなどに幅広く応用されている。

【0003】アクティブマトリクス液晶表示パネルは、一般に、走査線、信号線、およびその交差点近傍に配した薄膜トランジスタに接続した画素電極を設けた構造のTFT基板と、透明電極を全面に形成した対向基板との間に液晶を挟み込み、制御した画素電極と対向電極との間に電圧を印加することにより、対応する画素における光の透過量を制御する。

【0004】このようにして構成されたアクティブマトリクス液晶表示装置では、単純マトリクス型の液晶表示装置に比べて、液晶を挟む電極間の電位を制御しやすく、コントラストや視野角に優れた高品位の表示が得られる点に最大の特徴がある。

【0005】しかしながら、アクティブマトリクス液晶表示装置を構成していく上で、マトリクス状にTFTアレイを作りこむ必要がある。

【0006】この工程は半導体装置の製造で行われる工程とよく似ているが、TFTアレイの場合、表示装置の表示領域と同じ面積で1つのデバイスを作製せざるをえず、半導体のようにデバイスを縮小させて1つの基板から多量のデバイスを得ることにより低コスト化を図っていくことができないという点で本質的に異なっている。

【0007】しかも、一方で、今後さらにアクティブマトリクス液晶表示装置の普及を図っていく上で、その価格が大きな問題点の一つとなっており、TFTアレイ作製のコスト低減の要求は大きい。

【0008】TFTアレイ製造に関わるコストの低減を図っていく上で、フォトリソグラフィ（PR）を用いたパターン形成の回数（「PR回数」という）を削減することが、大きな効果を生むことが知られている。

【0009】この観点から、従来、PR回数の少ない工程がいくつか提案されている。例えば、文献（1982SID (Society for Information Display) International Symposium Digest of Technical Papers, 第44頁）には、PR回数を2回で作製する方法が紹介されている。

【0010】この方法では、まず透明電極とn型非品質シリコン層を堆積し、信号線、TFTのソース/ドレイン電極、画素電極のパターンによりフォトリソグラフィ（PR）を行ってパターニングし、しかる後にノンドーパ非品質シリコン層、ゲート絶縁膜、金属層を堆積し、走査線のパターンで堆積した金属層、ゲート絶縁膜、ノンドーパ非品質シリコン層および、n型非品質シリコン層をエッチングする。

【0011】この方法はPR回数が2回と非常に少なくすむものの、信号線を透明電極で形成するために、電気抵抗が大きく、大面積（大型液晶パネル）では信号に遅延が発生してしまうため、実用に供し得ない。

【0012】信号線を別の金属層で構成すれば電気抵抗を減らすことができるが、これを形成するPR工程が別に必要とされる。

【0013】さらに、この構造の場合、基板側から光が入射すると直接TFTのチャネルに入射し、TFTのオフ抵抗が減少し、画素の電荷保持ができなくなってしまうという問題がある。

【0014】この問題を回避するためには、TFTのソース電極、ドレイン電極の少なくとも一方と電気的に絶縁された不透明層を、チャネルを覆うようにTFTの下側に配する必要がある。

【0015】このような不透明層を構成するためには、さらに1回フォトリソグラフィ（PR）工程を追加する必要がある。従って、大面積において安定な高品位の表示が得られるTFTアレイを、プロセス的に無理なく得ようとするとき少なくとも4PRが必要である。

【0016】さらに上記従来技術の別の問題点は、ゲート電極がチャンネルの上側に配されるいわゆる順スタガード型のTFT構造であることである。

【0017】TFTのオン電流はゲート絶縁膜とチャンネル非晶質シリコン層とのいわゆるMIS界面に蓄積した電子によって流れることが知られている。

【0018】順スタガード構造にすると、チャンネル非晶質シリコン層を形成した後にゲート絶縁膜を形成するので、ゲート絶縁膜形成時のプラズマ衝撃によりMIS界面がダメージを受けるため、オン電流が低減してしまう。

【0019】逆スタガード型と順スタガード型を同じサイズのTFTで比較した場合、逆スタガード型TFTの方がオン特性に優れている。このため、順スタガード型TFTを用いてTFTアレイを設計する場合、TFTのチャンネル幅を大きくとる必要があり、画素電極への書き込み終了時のゲート電圧の変動に伴う画素電位の変動、いわゆるフィードスルー電圧が大きくなるので、表示品質を保つために駆動回路の負担が増大する。

【0020】従って、一般的に逆スタガード型（「逆スタガー型」ともいう）TFTを用いた方が、より高品質の画素を得ることができる。

【0021】逆スタガード型TFTでは、走査線のパタン、チャンネル非晶質シリコンのパタン、画素電極のパタン、信号線のパタン、及び周辺の端子部で走査線を露出させるパタンが最低必要である。

【0022】さらに、逆スタガード型TFTでは、チャンネルが液晶層側に露出しているので、配向膜もしくは液晶の電氣的影響からTFTを保護するために、通常チャンネル上を窒化シリコン膜等の絶縁膜をパッシベーションとして用いる。

【0023】このようにパッシベーションを設けた場合、さらに周辺の端子部で信号線を露出させるパタン、画素電極を露出させるパタンが必要になる。

【0024】このように考えると、周辺の端子部で走査線、信号線を露出させるパタンと画素電極を露出させるパタンとを同一マスクで形成したとしても、他のパタンを独立のマスクで形成すると合計で5回のPR工程が必要となる。

【0025】従って、順スタガード型の場合と同様に4PR以下でこれを行うためには、いずれかのパタンを他の1つのパタンまたは複数のパタンの組み合わせにより形成する必要がある。

【0026】画素電極と信号線を同一のパタンで形成することは、形の上では可能であるが、信号線に透明電極

を用いることになるので、電気抵抗が大きく、大画面での適用が難しくなる。

【0027】また、信号線とチャンネル非晶質シリコンのパタンは原理的に完全に一致させることはできない。

【0028】さらに、走査線と信号線とは互いに交差して配置させることが必要とされるため、同一のパタンで形成することは不可能である。

【0029】このように考えると、走査線とチャンネル非晶質シリコンのパタンを一致させることが最も有望であると思われる。

【0030】走査線とチャンネル非晶質シリコンのパタンを一致させる従来の方法として、例えば特開昭63-182862号公報には、ゲート電極とアイランド部とを一回のフォトリソ工程で一括エッチングして形成することにより工程の簡略化と歩留まりの向上を図るようにした逆スタガー構造のTFTの製造方法が提案されている。すなわち、同公報には、ゲート電極用金属膜、ゲート絶縁膜、半導体膜を積層後、これらを走査線のパタンにより一括でパターンニングして、しかる後にゲート電極の側壁を絶縁処理することにより、図8に示すような構造を作製する製造方法が提案されている。図8において、1は走査線（ゲート電極）、3はドレイン電極、4はソース電極、9はガラス基板、10はゲート絶縁膜（窒化シリコン）、11は半導体膜（非晶質シリコン膜）、13はコンタクト部となるN+非晶質シリコン層、20はゲート側壁を陽極酸化処理で絶縁処理する領域（側壁絶縁膜Ta<sub>2</sub>O<sub>5</sub>）である。

【0031】このような方法を用いれば、4回以下のPR工程でTFTアレイを作製することが可能になる。

【0032】

【発明が解決しようとする課題】しかしながら、図8に従来技術として示したような方法では、ゲート電極の端面のみを選択的に絶縁化する技術が必要となる。

【0033】これは、断面形状に大きく左右されるため制御が非常に困難で、絶縁処理が不十分な箇所が発生する確率が高く、このような箇所では走査線および信号線が短絡し、液晶表示装置に線欠陥が現れることが多い。

【0034】従って、本発明は上記問題点に鑑みてなされたものであって、このような制御の困難なプロセスを用いることなく、高い表示品質を得ることのできる逆スタガード型TFTアレイを4回以下のPR回数で作製することのできる構造を有し、低コストで製造可能なアクティブマトリクス液晶表示パネル及び製造方法を提供することを目的とする。

【0035】

【課題を解決するための手段】上記目的を達成するために、本発明は、格子状に配置され互いに交差してなる平行な複数の走査線及び平行な複数の信号線を備え、前記走査線と前記信号線の各交点の近傍に設けられると共に前記走査線と同一層に形成され、前記信号線に接続され

たゲート電極と、前記ゲート電極上にゲート絶縁膜を介して設けられた薄膜半導体層と、前記薄膜半導体層上に設けられ前記信号線と電気的に接続する第1の電極および画素電極と接続する第2の電極（但し、第1の電極がソース（ドレイン）電極の時、第2の電極はドレイン（ソース）電極）と、からなる薄膜トランジスタが形成されてなる第1の透明絶縁性基板と、透明電極を有する第2の透明絶縁性基板と、を液晶層を介して貼り合わせてなる液晶表示パネルにおいて、周辺端子接続部を除いて前記走査線と前記ゲート電極とからなるパタンと同一のパタンで前記ゲート絶縁膜および前記薄膜半導体層がパタン化され、前記第1及び第2の電極が前記薄膜半導体層上の所定領域において前記画素電極と同一層により形成され、前記第1及び第2の電極と前記薄膜半導体層を覆うように保護絶縁膜が設けられると共に、前記保護絶縁膜上に前記信号線が配設され、前記信号線と前記第1の電極とは、前記第1の電極上の所定領域に形成されたコンタクトホールを介して接続され、前記信号線と同一層に形成された金属層により前記第2の電極と前記画素電極とが電気的に接続されていることを特徴とする液晶表示パネルを提供する。

【0036】また、本発明は、格子状に配置され互いに交差してなる平行な複数の走査線及び平行な複数の信号線を備え、前記走査線と前記信号線の各交点の近傍に設けられると共に前記走査線と同一層に形成され、前記信号線に接続されたゲート電極と、前記ゲート電極上にゲート絶縁膜を介して設けられた薄膜半導体層と、前記薄膜半導体層上に設けられ前記信号線と電気的に接続する第1の電極、および画素電極と接続する第2の電極（但し、第1の電極がソース（ドレイン）電極の時、第2の電極はドレイン（ソース）電極）とからなる薄膜トランジスタが形成されてなる第1の透明絶縁性基板と、透明電極を有する第2の透明絶縁性基板と、を液晶層を介して貼り合わせてなる液晶表示パネルにおいて、周辺端子接続部を除いて前記走査線と前記ゲート電極とからなるパタンと同一のパタンで前記ゲート絶縁膜および薄膜半導体層がパタン化されており、前記第1及び第2の電極が前記薄膜半導体層上の所定領域において前記画素電極と同一層により形成され、前記第1及び前記第2の電極と前記薄膜半導体層を覆うように保護絶縁膜が設けられると共に前記保護絶縁膜上に信号線が設けられ、前記信号線と前記第1の電極とが前記第1の電極上でコンタクトホールを介して接続されており、前記信号線と同一層に形成された金属層により前記第2の電極と前記画素電極とがコンタクトホールを介して接続されており、前記第1、第2の電極上に形成されたコンタクトホールが前記第1及び第2の電極よりもチャネル側に拡張されており、前記コンタクトホールの開口端領域下の前記薄膜半導体層にイオン注入により不純物がドーピングされた領域を有することを特徴とする液晶表示パネルを特徴とする。

【0037】本発明に係るアクティブマトリクス液晶表示パネルは、その好ましい態様として、走査線と同一層で形成され、これと隔離されかつ画素電極に電気的に接続されたパタンが、前記信号線と重なるようにして画素電極の両側に配置される。このようにすると、画素電極と信号線との間のTN液晶動作が正常に行われない領域からの光漏れをTFT基板側で遮光する層を、工程数を増加させることなく形成することができる。このような層は対向基板側に通常設けるブラックマトリクスとTFT基板の位置合わせ精度を大幅に緩和し、これを利用して開口率の向上を図ることができる。

【0038】また、本発明に係るアクティブマトリクス液晶表示パネルは、その好ましい態様として、前記信号線と同一層で形成され、これと隔離されかつ画素電極に電気的に接続されたパタンが、前記走査線と重なるようにして画素電極の両側に配置させることもできる。このようにすると、画素電極と走査線との間のTN液晶動作が正常に行われない領域からの光漏れをTFT基板側で遮光する層を、工程数を増加させることなく形成することができる。このような層は対向基板側に通常設けるブラックマトリクスとTFT基板の位置合わせ精度を大幅に緩和し、これを利用して開口率の向上を図ることができる。

【0039】さらに、本発明に係るアクティブマトリクス液晶表示パネルは、その好ましい態様として、前記信号線と同一層で形成されたパタンが、薄膜トランジスタのチャネル領域を覆うように配置させることができる。このようにすると、TFTのバックチャネル側を遮光する層を工程数を増加させることなく作製できる。

【0040】さらにまた、本発明に係るアクティブマトリクス液晶表示パネルは、その好ましい態様として、前記信号線と同一層で形成され、これと隔離されかつ画素電極に電気的に接続されたパタンが、画素電極に隣接する2本の走査線のうち該画素電極に電荷を供給する薄膜トランジスタを制御しないほうの走査線と重なるように配置され、かつ、この重なり領域の一部で画素電極と同一層で孤立パタンが形成され、該孤立パタンと走査線との間にはゲート絶縁膜層をはさんで容量が構成されており、該孤立パタンが画素電極に電気的に接続させることができる。このようにすると画素電極の電荷保持を補助するために通常設けられる蓄積容量を工程数を増加させることなく作製することができる。

【0041】そして、本発明は、逆スタガー構造の薄膜トランジスタ（TFT）アレイを含む液晶表示装置（LCD）の製造方法において、(a)透明絶縁性基板上に走査線となる金属膜、ゲート絶縁膜、及び半導体膜をこの順に形成した後にこれらを同一パタンでパターンニングし、(b)画素電極、ソース電極及びドレイン電極を同一の層で形成してこれらを1回のフォトリソグラフィでパターンニングし、(c)前記画素電極、ソース電極及びドレ

イン電極を覆うように保護絶縁膜を形成し、(d)前記保護絶縁膜に対して配設される所定のコンタクトホールと、前記保護絶縁膜、前記半導体膜及び前記ゲート絶縁膜を開口して配設される所定のコンタクトホールと、を1回のフォトリソグラフィで形成し、(e)金属膜を形成し、前記ドレイン電極に接続する信号線と、前記ソース電極と前記画素電極とを接続する配線と、を同一のパターンで形成する、上記各工程を含むことを特徴とする液晶表示装置の製造方法を提供する。

#### 【0042】

【作用】本発明のアクティブマトリクス液晶表示パネルのTFTアレイは、走査線となる金属膜とゲート絶縁膜とチャネル非晶質シリコン膜を形成後、これらを同一パターンでパターンニングし、しかる後に、画素電極とソース・ドレイン電極を同一層で構成し1回のフォトリソグラフィ(PR)でこれらのパターンニングを行い、さらにこの上に保護絶縁膜を配し、保護絶縁膜、チャネル非晶質シリコンおよびゲート絶縁膜に対して、必要部分でのコンタクトホールを1回のPRで形成し、しかる後に信号線となるべき金属膜を形成し、TFTのドレイン電極に接続する信号線およびTFTのソース電極と画素電極とを接続する配線とを同一のパターンで形成することにより、作製することができる。

【0043】従って、本発明によれば、順スタガード型に比べ、特性的に優れた逆スタガード型TFTアレイを作製する工程を4回以下のPR工程で作製することが可能とされ、このため、低コストで画質に優れたアクティブマトリクス液晶ディスプレイを得ることができる。

#### 【0044】

【発明の実施の形態】本発明の実施の形態を図面を参照して以下に説明する。

#### 【0045】

【実施形態1】図1は、本発明の第1の実施形態に係るアクティブマトリクス液晶表示パネルのTFTアレイの画素部を示す平面図であり、図2(A)は、図1のA-A'線の断面を示し、図2(B)は、図1のB-B'線の断面を示している。

【0046】図1及び図2を参照して、ガラス板等の透光性絶縁基板(「ガラス基板」ともいう)9の上に複数の走査線1と複数の信号線2とを交差させて格子状に配置する。

【0047】各格子内には、走査線1と信号線2の交点近傍に配置されるTFTと、このTFTから駆動される画素電極6とから構成される1組のアクティブ画素エレメントがそれぞれ配置される。

【0048】TFTは走査線1をゲート電極とし、ゲート電極上に絶縁膜(ゲート絶縁膜)10を介して設けられた非晶質シリコン膜11からなるチャネル部と、非晶質シリコン膜11の表面上に設けられたドレイン電極3およびソース電極4からなる。

【0049】そして、非晶質シリコン膜11、ドレイン電極3、およびソース電極4を覆うように、保護絶縁膜12が設けられている。

【0050】さらに、保護絶縁膜12上には、信号線2と、ソース電極4を画素電極6に電気的に接続する配線7とが配置されている。

【0051】信号線2とドレイン電極3とは、ドレイン電極3上に形成されたコンタクトホール5を介して接続されている。

【0052】図7は、本実施形態における周辺の端子部の構成を示したものである。

【0053】図7を参照して、信号線2は形成時に最上層に出ているため、このまま周辺の信号線端子23と一体で形成されている。

【0054】これに対して、走査線1はゲート絶縁膜10の下に配置されているので(図2参照)、走査線1の端子取り出しを行うためのコンタクトホール22が走査線1の端部に設けられ、このコンタクトホール22を介して、保護絶縁膜12上に設けられた走査線端子21に接続されている。

【0055】以下、本実施形態に係るアクティブマトリクス液晶表示パネルのTFTアレイの製造方法を工程順に説明する。

【0056】まず、透光性の絶縁基板(ガラス基板)の上にスパッタ法で走査線1となるクロム膜を100nmの膜厚に堆積し、しかる後に、この表面にゲート絶縁膜10となる窒化シリコン膜を500nmの膜厚に堆積した後、膜厚200nmの非晶質シリコン膜11および膜厚10nmのn型非晶質シリコン層13を順次堆積する。

【0057】しかる後に、走査線1のパターンでフォトリソグラフィ(「PR」という)を行い、このパターンでn型非晶質シリコン層13および非晶質シリコン膜11および窒化シリコン膜10を一括でエッチングする。このエッチングには、例えばCF4ガスのプラズマを利用してドライエッチングにより行うことができる。

【0058】しかる後に、走査線1となるクロム膜をエッチングして、レジストを除去する。

【0059】次に、ITO(Indium-Tin-Oxide)膜を膜厚50nmに堆積する。ここで、画素電極5、ドレイン電極3およびソース電極4からなるパターンでフォトリソグラフィ(PR)を行い、塩酸を用いてITO膜をエッチングする。

【0060】しかる後に、レジストを除去し、ITOからなるドレイン、ソース電極3、4をマスクとして、n型非晶質シリコン膜13および非晶質シリコン膜11を合計で30nm程度掘込む。

【0061】これにより、ITOからなるソース、ドレイン電極が存在しない領域では、n型非晶質シリコン層13が完全に除去される。

【0062】次に、保護絶縁膜12として、常圧CVD法



を用いて酸化シリコン膜を膜厚500nm堆積する。

【0063】ここで、TFTのドレイン電極3と信号線2の接続に用いられるコンタクトホール5、およびソース電極4と画素電極6をつなぐ配線7の接続に用いられるコンタクトホール5'のパターンと、画素電極6上の保護絶縁膜12を除去する領域8のパターンと、走査線1の端子取り出しを行うためのコンタクトホール22のパターンとからなるパターンの反転パターンでPRを行う。

【0064】このパターンを利用して、CF4ガスのプラズマによるドライエッチングを行う。

【0065】この時、TFTのドレイン電極3及びソース4電極上のコンタクトホール部5、5'では保護絶縁膜12はエッチングされるが、ITOで形成されたドレイン、ソース電極3、4がエッチストップとなる。

【0066】また、画素電極6上の保護絶縁膜12を除去する領域8でも同様に保護絶縁膜12のみがエッチングされる。

【0067】これに対して、走査線1の端子取り出しを行うためのコンタクトホール22では、保護絶縁膜12として形成された酸化シリコン膜がエッチングされた後、非晶質シリコン層11とゲート絶縁膜10が引き続きエッチングされ、クロムで形成された走査線1がエッチストップとなる。

【0068】このようにして、一回のエッチングにより、TFTのソース・ドレイン電極上のコンタクトホール部5、5'ではドレイン及びソース電極3、4が、また画素電極6上の保護絶縁膜を除去する領域8では画素電極6が、周辺の走査線の端子取り出しを行うためのコンタクトホール22では走査線1が、それぞれ表面に露出した状態となる。この状態でレジストを除去する。

【0069】次に、クロム膜を膜厚200nmで堆積する。ここで、信号線2のパターン、ソース電極4と画素電極6を接続する配線7のパターン、信号線端子23のパターン、及び走査線端子21のパターンからなるパターンでPRを行う。

【0070】このパターンにより、クロム膜をエッチングし、レジストを除去する。

【0071】以上のようにして、本実施形態に係るTFTアレイが完成する。

【0072】以上説明したように、本実施形態に係るアクティブマトリクス液晶表示パネルのTFTアレイを作製する工程において行われるPR回数は4回のみである。また、この工程で行われるプロセスはいずれも極めて安定であり、非常に歩留りよくこれを作製することができる。このため、本実施例によれば、高スループットで低コストのアクティブマトリクス液晶表示パネルを安定に作製することができる。

【0073】

【実施形態2】次に、本発明の第2の実施形態を説明する。図3は、本発明の第2の実施形態のアクティブマトリクス液晶表示パネルのTFTアレイの画素部の平面図

を示す。図4(A)は、図3におけるC-C'線の断面を示し、図4(B)は、図3におけるD-D'線の断面を示す。

【0074】図3及び図4を参照して、ガラス板などの透光性絶縁基板9の上に複数の走査線1と複数の信号線2とを交差させて格子状に配置する。各格子内には、走査線1と信号線2の交点近傍に配置されるTFTと、このTFTから駆動される画素電極6とから構成される1組のアクティブ画素エレメントがそれぞれ配置される。

【0075】TFTは走査線1をゲート電極とし、ゲート電極上に絶縁膜10を介して設けられた非晶質シリコン膜11からなるチャンネル部と、非晶質シリコン膜11の表面上に設けられたドレイン電極3およびソース電極4からなる。

【0076】さらに、非晶質シリコン膜11およびドレイン電極3およびソース電極4を覆うように、保護絶縁膜12が設けられている。そして、保護絶縁膜12上には信号線2、および、ソース電極と画素電極をつなぐ配線7、および、TFT遮光層24が配置されている。

【0077】この時、ソース電極4と画素電極6をつなぐ配線7は、図3に示すように、画素電極6の周囲を覆い、互いに隣りあう走査線と重なるように配置する。

【0078】画素電極6とこれに隣りあう2本の信号線2との間には、それぞれ信号線とオーバーラップさせるパターン14を設ける。

【0079】このパターン14上には信号線2と十分離れたところにコンタクトホール5'を形成し、ソース電極4と画素電極6をつなぐ配線7によりパターン14の最下層の金属層18と接続する(図4(A)参照)。

【0080】信号線2とドレイン電極3とは、ドレイン電極3上に形成されたコンタクトホール5を介して接続されている。さらに、TFT遮光層24はTFTのチャンネル部を覆うように形成されている。

【0081】また、走査線1上の一部にはソース・ドレイン電極と同層で蓄積容量電極15を形成する。蓄積容量電極15と走査線1との間には蓄積容量が形成され、画素の電荷保持を安定化させる役割を果たす。

【0082】蓄積容量電極15上にはコンタクトホール5''が形成され、コンタクトホール5''を介して蓄積容量電極15と、ソース電極4及び画素電極6をつなぐ配線7とが接続される。

【0083】この時、ソース電極4と画素電極6をつなぐ配線7は蓄積容量電極15を覆うように構成する。このようにすると、この配線7自体が遮光層として働き、蓄積容量電極15の回りにある非晶質シリコン膜11に光が照射し導電率が上昇し、蓄積容量電極15から信号線2もしくはドレイン電極3へ電荷のリークが起こる現象を防ぐことができる。

【0084】図7は、本実施形態における周辺の端子部の構成を示したものである。本実施形態においては、信

号線は形成時に最上層に出ているので、このまま周辺の信号線端子23と一体で形成されている。これに対して、走査線1はゲート絶縁膜10の下に配置されているので、走査線の端子取り出しを行うためのコンタクトホール22が走査線1の端に設けられ、このコンタクトホール22を介して、保護絶縁膜12上に設けられた走査線端子21に接続されている。

【0085】本実施形態の液晶パネルを構成するTFTアレイは以下のように作製される。

【0086】まず、前記第1の実施形態の場合と同様に、走査線1およびゲート絶縁膜10および非晶質シリコン層11を同一パタンで形成する。このとき、同時に信号線とオーバーラップさせるパタン14を形成しておく。

【0087】次に、前記第1の実施形態の場合と同様に、ドレイン電極3、ソース電極4および画素電極6を透明導電層を用いて形成する。このとき、同時に蓄積容量電極15を形成しておく。

【0088】さらに、前記第1の実施形態の場合と同様に、ソース・ドレイン電極上のコンタクトホール5、5'、および周辺端子接続部で走査線の端子取り出しを行うためのコンタクトホール22を形成する。

【0089】このとき、同時に、信号線とオーバーラップさせるパタン14上のコンタクトホール5''および蓄積容量電極15上のコンタクトホール5'''を形成する。

【0090】しかる後に、信号線2およびソース電極と画素電極をつなぐ配線7およびTFT遮光層24を形成する。この時、ソース電極4と画素電極6をつなぐ配線7は、前述したように信号線とオーバーラップさせるパタン14および蓄積容量電極15にも接続するようにする。

【0091】以上のようにして、本発明の第2の実施形態のTFTアレイが完成する。画素電極6と信号線2の境界や画素電極6と走査線1との境界には強い横方向の電界が存在し、液晶配向の乱れが生じ、その影響は画素電極6の内側まで到達しこの周辺で透過光の異常が発生する。

【0092】このような透過光が表示に表れるとコントラストの低下や焼き付きを生じてしまう。これを防ぐために、通常は対向基板側にブラックマトリクスを設けて、透過光の異常が発生する領域を遮光する。

【0093】本実施形態のTFTアレイの場合には、透過光の異常が発生する領域は、信号線とオーバーラップするパタン14とソース電極と画素電極をつなぐ配線7とにより、ほとんどの領域が不透明金属で覆われており、異常な透過光はこれらのパタンにより遮光される。

【0094】また、TFTのバックチャネル側から入射する光もTFT遮光層24により遮光されている。従って、対向基板側にブラックマトリクスを配する必要性がなくなり、ブラックマトリクスを用いた構成よりも低コストで作製できる。

【0095】さらに、本実施形態においては、対向基板

側にブラックマトリクスを配した場合に必要な目ずれのマージンを見込む必要がないことから、遮光の幅を少なくすることができ、より開口率を高くすることができ

る。

【0096】そして、本実施形態では、画素毎に蓄積容量が形成されているため、画素の電荷保持特性がより良好になり表示が安定化する。

【0097】蓄積容量を設ける際には、走査線1とソース電極と画素電極をつなぐ配線7を単にオーバーラップさせることによって形成できるが、本実施形態の場合は、非晶質シリコン層上に蓄積容量電極15を配している

ので、小さな面積で十分大きな蓄積容量を用意することができる。

【0098】ところで、蓄積容量電極15の周囲に光が照射されると、光が照射された領域の非晶質シリコン膜11の抵抗が低下し、この層を通して、電荷のリークが発生してしまう。

【0099】しかしながら、本実施形態の場合、蓄積容量電極15の周囲はソース電極4と画素電極6を接続する配線7で遮光されているので、リーク電流を極めて小さくすることができる。

【0100】本実施形態に示すアクティブマトリクス液晶表示パネルのTFTアレイを作製する工程において行われるPR回路は、前記第1の実施形態の場合と全く等しく、4回のみである。その工程で行われるプロセスはいずれも極めて安定であり、非常に歩留まりよく作製することができる。以上のことから、高スループットで低コストのアクティブマトリクス液晶表示パネルを安定に作製することができる。

【0101】なお、本発明の実施の形態として、請求項3乃至請求項6記載の技術内容を、それぞれ単独でまたは複数組み合わせる液晶パネルに適用した場合でも、状況に応じてそれぞれ効果を出すことができる。この場合は、対向基板側にブラックマトリクスを設けることが必要になることがあるが、全くこれらの方法を適用しない場合に比べて、対向基板の目合わせは緩和される。

【0102】

【実施形態3】次に、本発明の第3の実施形態について説明する。

【0103】図5は、本発明の第3の実施形態に基づくTFT部の平面図である。図6(A)は、図5のE-E'の断面図、図6(B)は、図5のF-F'の断面図を示したものである。

【0104】本発明の第3の実施形態のアクティブマトリクス液晶パネルでは、前記第1の実施形態のパネルとTFTのソース・ドレイン電極部を除いては全く同じ構造をとる。

【0105】本実施形態の場合は、ITO等の透明電極で構成されたドレイン電極3およびソース電極4の下および周囲にイオンドーピングにより形成したn型非晶質

シリコン層17を有する。

【0106】また、ドレイン電極3と信号線2を接続するためのコンタクトホール、およびソース電極4と配線7（ソース電極4と画素電極6をつなぐ）を接続するためのコンタクトホールは、サイドエッチさせることにより、19に示す形状をとる。

【0107】以下、本実施形態の液晶パネルのTFTアレイは以下のように作製する。

【0108】まず、透光性の絶縁基板の上にスパッタ法で走査線1となるクロム膜を100nmの膜厚に堆積し、しかる後にこの表面にゲート絶縁膜10となる窒化シリコン膜を500nmの膜厚に堆積した後、膜厚200nmの非晶質シリコン膜11を順次堆積する。

【0109】しかるのちに、走査線1のパタンでPRを行い、このパタンで非晶質シリコン膜および窒化シリコン膜を一括でエッチングする。

【0110】このエッチングには、例えばCF<sub>4</sub>ガスのプラズマを利用してドライエッチングにより行うことができる。しかる後にクロム膜をエッチングし、レジストを除去する。

【0111】次に、ITO膜を膜厚30nmに堆積する。ここで、画素電極6、ドレイン電極3およびソース電極4からなるパタンでPRを行い、塩酸を用いてITOをエッチングする。しかる後に、レジストを除去する。

【0112】次に、保護絶縁膜として、常圧CVD法を用いて酸化シリコン膜を500nm堆積する。

【0113】ここで、TFTのドレイン電極3と信号線2の接続およびソース電極4と配線7（ソース電極4と画素電極6をつなぐ）の接続に用いられるコンタクトホールとして18に示すパタンと、画素電極上の保護絶縁膜を除去する領域8のパタンと、走査線の端子取り出しを行うためのコンタクトホール22のパタンとからなるパタンの反転パタンでPRを行う。

【0114】このパタンを利用して、CF<sub>4</sub>ガスのプラズマによるドライエッチングを行う。この時、TFTのソース・ドレイン電極上のコンタクトホール部では、保護絶縁膜12はエッチングされるが、ITOで形成されたソース・ドレイン電極がエッチストップとなる。また、画素電極6上の保護絶縁膜を除去する領域8でも同様に保護絶縁膜のみがエッチングされる。

【0115】これに対して、走査線の端子取り出しを行うためのコンタクトホール22では、保護絶縁膜として形成された酸化シリコン膜がエッチングされた後、非晶質シリコン層11とゲート絶縁膜10が引き続きエッチングされ、クロムで形成された走査線1がエッチストップとなる。

【0116】このようにして、1回のエッチングにより、TFTのソース、ドレイン電極上のコンタクトホール部18ではドレイン、ソース電極3、4が、また画素電極上の保護絶縁膜を除去する領域8では画素電極6が、

周辺の走査線の端子取り出しを行うためのコンタクトホール22では走査線1が、それぞれ表面に露出した状態となる。

【0117】ここで、レジストをかぶせたままで、希フッ酸により保護絶縁膜12として形成した酸化シリコン膜をサイドエッチさせ、図5、図6の19で示すパタンまでコンタクトホールを広げる。この状態でレジストを除去する。

【0118】さらに、リンイオンを40kVの加速電圧でイオン注入する。このとき、保護絶縁膜12がイオン注入のマスクとなり、ITOからなるドレイン及びソース電極3、4の下およびその周囲にリンがドーピングされ、イオンドーピングにより形成したn型非晶質シリコン層17が形成される。

【0119】次に、クロム酸を膜厚200nmに堆積する。ここで、信号線2のパタン、ソース電極4と画素電極6をつなぐ配線7のパタン、信号線端子23のパタン、走査線端子21のパタンからなるパタンでPRを行う。このパタンにより、クロム膜をエッチングし、レジストを除去する。

【0120】以上のようにして、本実施形態のTFTアレイが完成する。以上述べたように、本実施形態に示すアクティブマトリクス液晶表示パネルのTFTアレイを作製する工程において行われるPR回数は4回のみである。また、この工程で行われるプロセスはいずれも極めて安定であり、非常に歩留まりよくこれを作製することができる。このため、本実施形態によれば、高スループットで低コストのアクティブマトリクス液晶表示パネルを安定に作製することができる。

【0121】本実施形態においては、前記第1の実施形態において必要とされたソース・ドレイン電極間のn型非晶質シリコン層のエッチングが不要となることから、非晶質シリコン膜を掘込む必要がなくなり、このため、非晶質シリコン膜の膜厚を薄く設定できる。

【0122】また、TFTのバックチャネル界面がエッチングにさらされることがないので良好な界面が作製でき、より安定な特性を得ることができる。

【0123】さらに、ここでは詳細な説明は省略されるが、本発明の第3の実施形態に示した構造のTFTと前記第2の実施形態に示した画素構造と組み合わせる用いることができることは言うまでもない。

【0124】

【発明の効果】以上、詳述したように本発明によれば、特性的に優れた逆スタガード型TFTアレイを安定なプロセスのみを用いて、4回以下のPR回数で製造することが可能とされ、液晶パネルの低コスト化を達成するという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の構成を示す平面図である。

【図2】(A)は図1のA-A'線の断面を示す図である。(B)は図1のB-B'線の断面を示す図である。

【図3】本発明の第2の実施形態の構成を示す平面図である。

【図4】(A)は図3のC-C'線の断面を示す図である。(B)は図3のD-D'線の断面を示す図である。

【図5】本発明の第3の実施形態の構成を示す平面図である。

【図6】(A)は図5のE-E'線の断面を示す図である。(B)は図5のF-F'線の断面を示す図である。

【図7】本発明の実施形態における周辺の端子接続部の構成を説明するための平面図である。

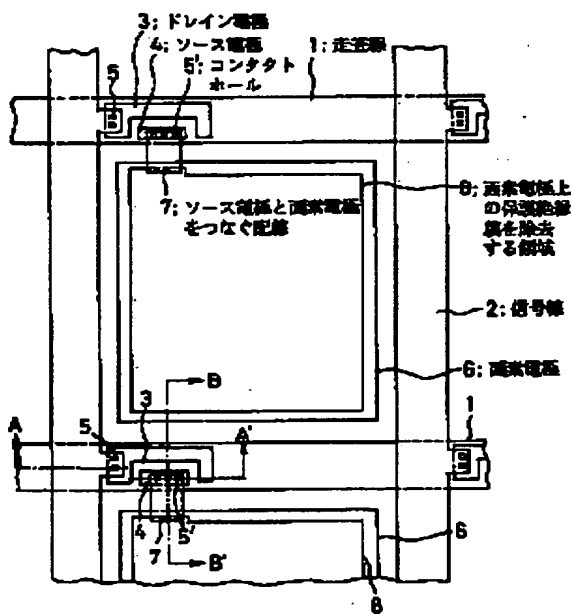
【図8】従来のTFTの断面を示す図である。

【符号の説明】

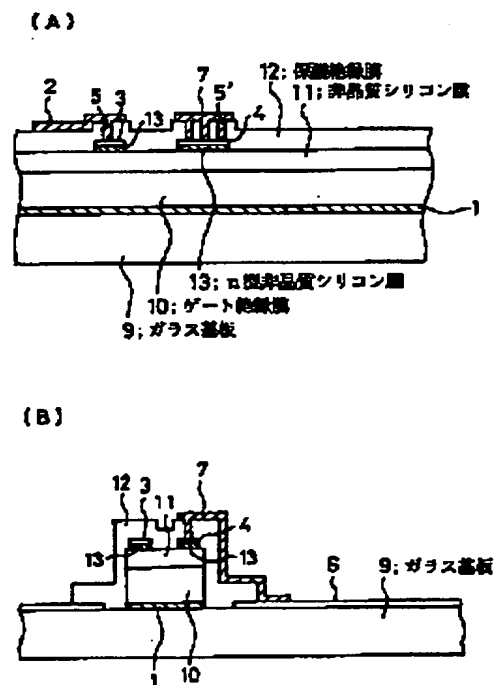
- 1 走査線
- 2 信号線
- 3 ドレイン電極
- 4 ソース電極
- 5 コンタクトホール
- 6 画素電極

- 7 ソース電極と画素電極をつなぐ導線
- 8 画素電極上の保護絶縁膜を除去する領域
- 9 ガラス基板
- 10 ゲート絶縁膜
- 11 非晶質シリコン膜
- 12 保護絶縁膜
- 13 n型非晶質シリコン層
- 14 信号線とオーバーラップさせるパタン
- 15 蓄積容量電極
- 16 最下層の金属層
- 17 イオンドーピングにより形成したn型非晶質シリコン層
- 18 サイドエッチ前のコンタクトホール
- 19 サイドエッチ後のコンタクトホール
- 20 ゲートの側壁を絶縁処理する領域
- 21 走査線端子
- 22 走査線端子取り出しを行うためのコンタクトホール
- 23 信号線端子
- 24 TFT遮光層

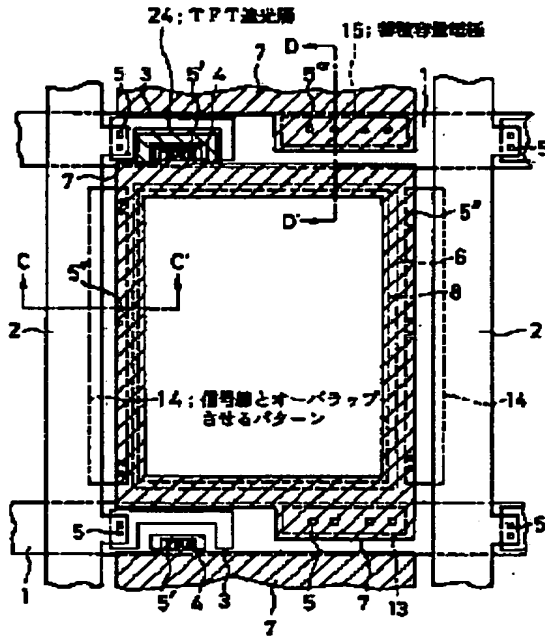
【図1】



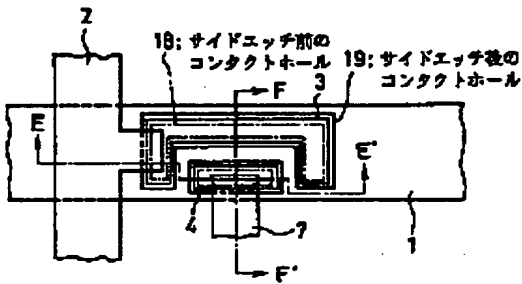
【図2】



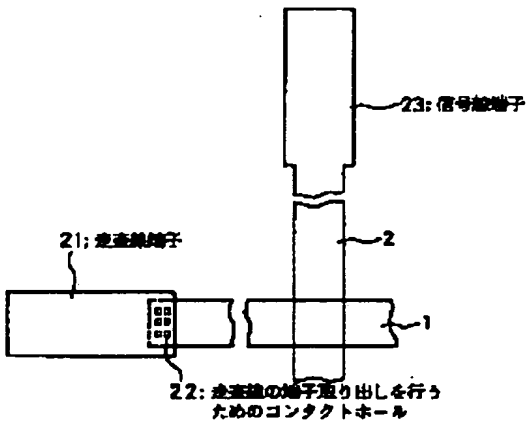
【図3】



【図5】

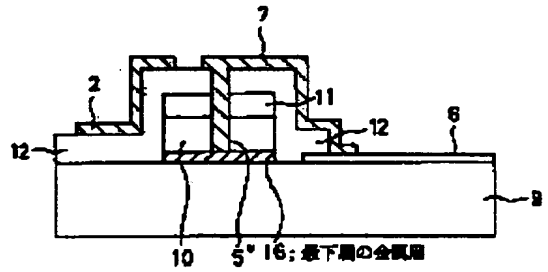


【図7】

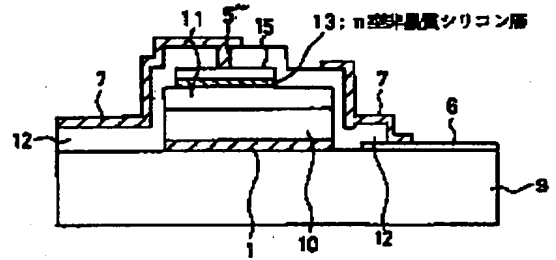


【図4】

(A)

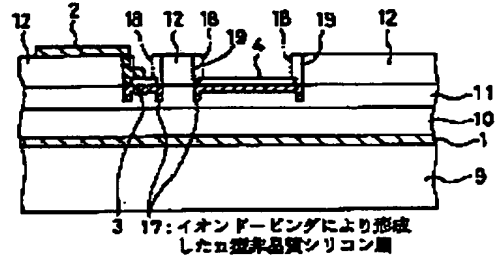


(B)

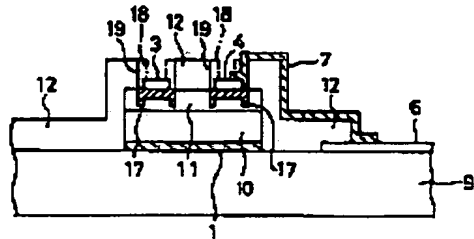


【図6】

(A)



(B)



【図8】

